



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000174235 A**(43) Date of publication of application: **23.06.00**

(51) Int. Cl.

H01L 27/115**H01L 21/8247****H01L 29/788****H01L 29/792**(21) Application number: **10345307**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **04.12.98**(72) Inventor: **HASHIMOTO KOJI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

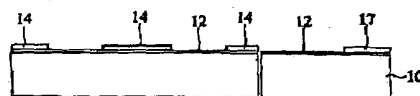
COPYRIGHT: (C)2000,JPO

(57) Abstract:

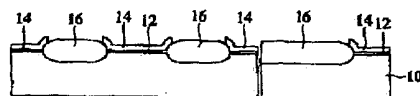
PROBLEM TO BE SOLVED: To provide a semiconductor device, together with its manufacturing method, wherein higher resistance of a control gate and etching of a silicon substrate are prevented while an element isolation film is etched with a gate electrode in self-alignment to form a source line.

SOLUTION: A process where an element isolation film extending in a first direction is formed on a semiconductor substrate, a process where a gate electrode whose upper surface is covered with a second insulating film which is thicker than that of the element isolation film is formed extending in a second direction with a floating gate and a control gate laminated through the first insulating film, a process where a resist film covering alternately a region between gate electrodes is formed, a process where the element isolation film is etched with the resist film and the second insulating film as a mask, and a process where an impurity diffused region is formed at gate electrode in self-alignment, are provided.

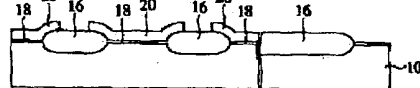
(a)



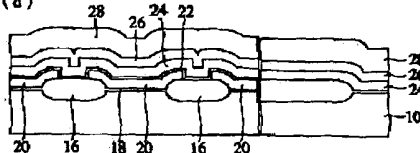
(b)



(c)



(d)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-174235
(P2000-174235A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
H 0 1 L	27/115	H 0 1 L	27/10	4 3 4
	21/8247		29/78	3 7 1
	29/788			5 F 0 0 1
	29/792			5 F 0 8 3

審査請求 未請求 請求項の数9 O L (全 13 頁)

(21) 出願番号 特願平10-345307

(22) 出願日 平成10年12月4日 (1998.12.4)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 橋本 広司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人

最終頁に続く

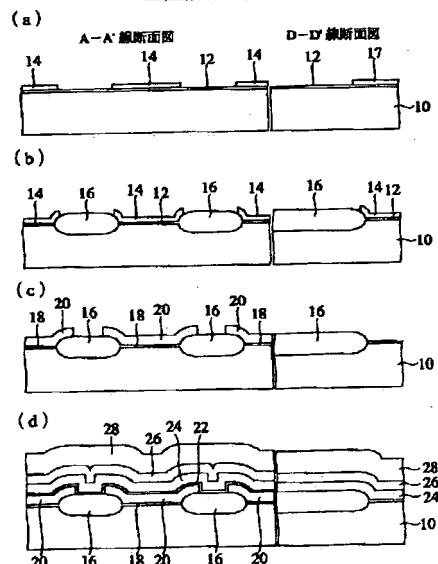
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極に自己整合で素子分離膜をエッチングしてソースラインを形成する半導体装置の製造方法に関し、コントロールゲートの高抵抗化及びシリコン基板のエッチングを防止する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に、第1の方向に延在する素子分離膜を形成する工程と、第2の方向に延在して形成され、第1の絶縁膜を介してフローティングゲートとコントロールゲートとが積層されてなり、その上面が素子分離膜の膜厚よりも厚い第2の絶縁膜で覆われたゲート電極を形成する工程と、ゲート電極間の領域を交互に覆うレジスト膜を形成する工程と、レジスト膜及び第2の絶縁膜をマスクとして素子分離膜をエッチングする工程と、ゲート電極に自己整合で不純物拡散領域を形成する工程とにより構成する。

本発明の一実施形態による半導体装置の製造方法を示す工程断面図 (その1)



10...シリコン基板
12...パッド酸化膜
14...シリコン窒化膜
16...素子分離膜
18...トンネルゲート絶縁膜
20...ポリシリコン膜
22...ONO膜
24...ポリシリコン膜
26...タンタムシリサイド膜
28...シリコン窒化酸化膜

【特許請求の範囲】

【請求項 1】 半導体基板上に、第 1 の方向に延在する素子分離膜を形成する工程と、
前記素子分離膜が形成されていない領域の前記半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜が形成された前記半導体基板上に、前記第 1 の方向と交わる第 2 の方向に延在して形成され、第 1 の絶縁膜を介してフローティングゲートとコントロールゲートとが積層されてなり、その上面が前記素子分離膜の膜厚よりも厚い第 2 の絶縁膜で覆われた複数のゲート電極を形成する工程と、
前記複数のゲート電極間の領域を交互に覆うレジスト膜を形成する工程と、
前記レジスト膜及び前記第 2 の絶縁膜をマスクとして前記素子分離膜をエッチングする工程と、
前記ゲート電極をマスクとして不純物を導入し、前記ゲート電極の両側の前記半導体基板に不純物拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
前記素子分離膜をエッチングする工程では、前記素子分離膜が所定の膜厚だけ残存するように前記素子分離膜をエッチングすることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、
前記所定の膜厚は、前記不純物拡散層を形成する際に、前記不純物が前記素子分離膜を突き抜けて前記半導体基板に導入される膜厚とすることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、
前記ゲート電極を形成する工程では、前記素子分離膜の膜厚と、前記素子分離膜及び前記第 2 の絶縁膜のエッチングレートとの比から換算した膜厚よりも厚い前記第 2 の絶縁膜により覆われた前記ゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、
前記ゲート電極を形成する工程では、前記第 2 の絶縁膜上に形成した反射防止膜を用いて前記ゲート電極をパターンニングすることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、
前記反射防止膜は、アモルファスカーボン膜であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、
前記第 2 の絶縁膜は、前記ゲート電極をパターンニングす

る際の反射防止膜として機能することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、
前記第 2 の絶縁膜は、シリコン窒化酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法において、
前記不純物拡散領域を形成する工程の後に、全面に第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜に、前記半導体基板に達する第 1 のコンタクトホールと前記ゲート電極に達する第 2 のコンタクトホールとを形成する工程とを有し、
前記コンタクトホールを形成する工程では、一のレジストマスクにより前記第 1 のコンタクトホール及び前記第 2 のコンタクトホールを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フローティングゲートを有する半導体装置の製造方法に係り、特に、ゲート電極に自己整合で素子分離膜をエッチングしてソースラインを形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】NOR型のフラッシュメモリでは、通常、一括消去を行う各ビットのソースを接続するためのソースラインが必要とされる。ソースラインは複数のメモリセルトランジスタのソース領域を兼ねる連続的な不純物拡散層によって構成されるのが一般的であり、典型的なソースラインの形成方法では、ソースライン領域に素子領域を残存するように素子分離膜を形成した後、ソースライン領域に不純物を注入することによりソースラインを形成していた。

【0003】一方、近年では、セルサイズを縮小可能なソースラインの形成技術として、コントロールゲートの形成後に素子分離膜をゲート電極に自己整合でパターンニングすることによりソースラインを形成する方式（以下、SAS（Self-Aligned Source）方式という）が提案されている。SAS方式を用いた従来の半導体装置の製造方法について図 8 乃至図 13 を用いて説明する。図 8 乃至図 13 は従来の半導体装置の製造方法を示す工程断面図である。なお、従来の半導体装置の製造方法により製造される半導体装置の平面構造は後述の本発明に係る半導体装置と概略同じであり、平面構造については図 1 を参照されたい。また、図 8 は図 1（a）の A-A' 線断面に相当する工程断面図、図 9 乃至図 11 は図 1（a）の B-B' 線断面に相当する工程断面図、図 12 及び図 13 は図 1（a）の C-C' 線断面に相当する工程断面図である。

【0004】まず、シリコン基板 100 上に、例えば熱

酸化法により、膜厚約25nmのパッド酸化膜102を形成する。次いで、パッド酸化膜102上に、例えばCVD法により、膜厚約170nmのシリコン窒化膜104を堆積する。次いで、通常のリソグラフィ技術及びエッチング技術により、素子領域となる領域にのみシリコン窒化膜104が残存するようにシリコン窒化膜104をパターニングする。シリコン窒化膜104のパターンは、一方向に延在する縞状のパターンとする(図8(a))。

【0005】次いで、シリコン窒化膜104をマスクとしてシリコン基板を熱酸化し、膜厚約200nmの素子分離膜106を局所的に形成する(図8(b))。次いで、シリコン窒化膜104及びパッド酸化膜102を除去した後、例えば熱酸化法により、膜厚約10nmのトンネルゲート絶縁膜108を形成する。次いで、全面に、例えばCVD法により、膜厚約100nmのフローティングゲートとなるポリシリコン膜110を堆積する。

【0006】次いで、通常のリソグラフィ技術及びエッチング技術により、素子分離膜106により画定される素子領域上に覆う縞状のパターンにポリシリコン膜110をパターニングする(図8(c))。次いで、全面に、例えば、膜厚10nmのボトム酸化膜と、膜厚約10nmのシリコン窒化膜と、膜厚約4nmのトップ酸化膜とを順次形成し、フローティングゲートとコントロールゲートとを容量結合するためのONO膜112を形成する。

【0007】次いで、全面に、例えばCVD法により、膜厚約150nmのポリシリコン膜114と、膜厚約150nmのタングステンシリサイド膜116と、膜厚約10nmのポリシリコン膜118と、膜厚約100nmのシリコン窒化酸化膜120とを順次堆積する(図8(d))。ポリシリコン膜114及びタングステンシリサイド膜116はポリサイド構造のコントロールゲートを形成するための膜であり、ポリシリコン膜118は後工程でソースライン上の素子分離膜106をエッチングする際にコントロールゲートがダメージを受けるのを抑えるための膜であり、シリコン窒化酸化膜120はコントロールゲートのパターニングの際のリソグラフィ工程における反射防止膜として機能する膜である。

【0008】次いで、素子分離膜106のパターンと交差する方向に延在するコントロールゲートのパターンを有するレジスト(図示せず)をマスクとして、シリコン窒化酸化膜120、ポリシリコン膜118、タングステンシリサイド膜116、ポリシリコン膜114、ONO膜112、ポリシリコン膜110とを順次エッチングし、上面がシリコン窒化酸化膜120及びポリシリコン膜118に覆われたポリサイド構造のコントロールゲート124と、コントロールゲート124の下部に形成されたフローティングゲート122とを形成する。

【0009】次いで、コントロールゲート124及びフローティングゲート122をマスクとしてイオン注入を行い、コントロールゲート124の両側のシリコン基板100に、ソース拡散層126及びドレイン拡散層128を形成する(図9(a)、図12(a))。次いで、全面に、例えばCVD法によりシリコン酸化膜を堆積した後エッチバックし、コントロールゲート124及びフローティングゲート122の側壁にサイドウォール絶縁膜130を形成する。

【0010】次いで、通常のリソグラフィ技術により、ソース領域を露出し、ドレイン領域を覆うレジスト132を形成する(図9(b)、図12(b))。次いで、レジスト132をマスクとして、ソース領域に露出する素子分離膜106をエッチングする。これにより、ソース領域には連続した活性領域が形成される。この際、コントロールゲート124上のシリコン窒化酸化膜120は一部除去されるが、シリコン窒化酸化膜120の下層にはシリコン酸化膜とはエッチング特性の異なるポリシリコン膜118が形成されているため、コントロールゲートにエッチングダメージが導入されることはない(図9(c)、図12(c))。

【0011】次いで、レジスト132を除去した後、熱酸化法により、シリコン基板100の表面にシリコン酸化膜134を形成する(図10(a)、図13(a))。

シリコン酸化膜134は、後工程のイオン注入の際のチャネリングやダメージを軽減するためのものである。次いで、コントロールゲート124を含む積層膜及び素子分離膜106をマスクとしてイオン注入を行い、複数のメモリスルランジスタのソース領域を共通接続するソース拡散層136を形成する(図10(b)、図13(b))。

【0012】次いで、全面に、例えばCVD法により、シリコン酸化膜138及びBPSG膜140を堆積し、これら膜よりなる層間絶縁膜142を形成する(図11(c)、図13(c))。次いで、通常のリソグラフィ技術及びエッチング技術により、層間絶縁膜142に、ドレイン領域に開口されるコンタクトホール144を形成する(図11(a))。

【0013】次いで、全面に、例えばスパッタ法によりアルミ膜を堆積してパターニングし、コンタクトホール144を介してシリコン基板100に接続される配線層146を形成する(図11(b))。こうして、SAS方式を用いて半導体装置が製造されていた。

【0014】

【発明が解決しようとする課題】このように、上記従来の半導体装置の製造方法では、ソースライン上の素子分離膜106のエッチングの際のコントロールゲートの膜減りによるゲート抵抗の増加を防止すべく、ポリサイド構造のコントロールゲートの上面にポリシリコン膜118を形成することが行われていた。

【0015】しかしながら、コントロールゲート124と同一導電層よりなる周辺回路用トランジスタのゲート電極148（或いはコントロールゲート124）を露出するコンタクトホール150をシリコン基板100を露出するコンタクトホール144と同時に形成する場合、ゲート電極148と配線層（図示せず）との間のコンタクト抵抗を低減すべくゲート電極148上のポリシリコン膜118を除去し、露出したシリサイド膜と配線層（図示せず）とのコンタクトをとることが行われるが、コンタクトホール144、150の形成の際にポリシリコン膜118まで除去することとすると、シリコン基板100と配線層146とを接続するためのコンタクトホール144では、コンタクトホール144内に露出したシリコン基板100が同時にエッチングされることとなる（図14）。

【0016】一方、シリコン基板100のエッチングを避けるためには、ポリシリコン膜118のエッチング前に、コンタクトホール144が形成された領域をレジストでつおき、コンタクトホール150内のポリシリコン膜118を選択的に除去するなどの措置を講ずる必要があり、エッチングプロセスが複雑になってしまう。本発明の目的は、SAS方式を用いた半導体装置の製造方法において、コントロールゲートの高抵抗化及びシリコン基板のエッチングを防止しうる半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的は、半導体基板上に、第1の方向に延在する素子分離膜を形成する工程と、前記素子分離膜が形成されていない領域の前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜が形成された前記半導体基板上に、前記第1の方向と交わる第2の方向に延在して形成され、第1の絶縁膜を介してフローティングゲートとコントロールゲートとが積層されてなり、その上面が前記素子分離膜の膜厚よりも厚い第2の絶縁膜で覆われた複数のゲート電極を形成する工程と、前記複数のゲート電極間の領域を交互に覆うレジスト膜を形成する工程と、前記レジスト膜及び前記第2の絶縁膜をマスクとして前記素子分離膜をエッチングする工程と、前記ゲート電極をマスクとして不純物を導入し、前記ゲート電極の両側の前記半導体基板上に不純物拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0018】また、上記の半導体装置の製造方法において、前記素子分離膜をエッチングする工程では、前記素子分離膜が所定の膜厚だけ残存するように前記素子分離膜をエッチングするようにしてもよい。また、上記の半導体装置の製造方法において、前記所定の膜厚は、前記不純物拡散層を形成する際に、前記不純物が前記素子分離膜を突き抜けて前記半導体基板に導入される膜厚とするようにしてもよい。

【0019】また、上記の半導体装置の製造方法において、前記ゲート電極を形成する工程では、前記素子分離膜の膜厚と、前記素子分離膜及び前記第2の絶縁膜のエッチングレートの比とから換算した膜厚よりも厚い前記第2の絶縁膜により覆われた前記ゲート電極を形成するようにしてもよい。また、上記の半導体装置の製造方法において、前記ゲート電極を形成する工程では、前記第2の絶縁膜上に形成した反射防止膜を用いて前記ゲート電極をパターニングするようにしてもよい。

10 【0020】また、上記の半導体装置の製造方法において、前記反射防止膜としては、アモルファスカーボン膜を適用することができる。また、上記の半導体装置の製造方法において、前記第2の絶縁膜としては、前記ゲート電極をパターニングする際の反射防止膜として機能する膜を適用することができる。

20 【0021】また、上記の半導体装置の製造方法において、前記第2の絶縁膜としては、シリコン窒化酸化膜を適用することができる。また、上記の半導体装置の製造方法において、前記不純物拡散領域を形成する工程の後に、全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜に、前記半導体基板に達する第1のコンタクトホールと前記ゲート電極に達する第2のコンタクトホールとを形成する工程とを有し、前記コンタクトホールを形成する工程では、一のレジストマスクにより前記第1のコンタクトホール及び前記第2のコンタクトホールを形成するようにしてもよい。

【0022】

30 【発明の実施の形態】本発明の一実施形態による半導体装置の製造方法について図1乃至図7を用いて説明する。図1は本実施形態による半導体装置の製造方法により製造される半導体装置の概略平面図、図2乃至図7は本実施形態による半導体装置の製造方法を示す工程断面図である。

40 【0023】まず、本実施形態による半導体装置の製造方法により製造される半導体装置の概略について図1を用いて説明する。なお、図1（a）はメモリセル領域における部分平面図、図1（b）は周辺回路領域に形成された代表的なトランジスタを示す平面図である。メモリセル領域には、図面縦方向に延在する素子分離膜16が形成されている。また、図面横方向に延在するコントロールゲートを兼ねるワード線32が形成されている。ワード線32間の領域は、交互にソース領域とドレイン領域をなしている。ソース領域の素子分離膜16は除去されており、このように形成された活性領域によってソースラインが構成されている。ドレイン領域上には、ビット線（図示せず）が接続されるビット線コンタクトホール52が形成されている（図1（a））。

50 【0024】周辺回路領域には、ワード線32と同一導電層よりなる導電層をゲート電極34とする周辺回路用トランジスタが形成されている。周辺回路用トランジスタ

タのゲート電極 34 上には、配線（図示せず）を接続するためのコンタクトホール 54 が形成されている（図 1 (b)）。次に、本実施形態による半導体装置の製造方法について図 2 乃至図 7 を用いて説明する。なお、図 2 は図 1 (a) の A-A' 線断面及び図 1 (b) の D-D' 線断面における工程断面図を、図 3 乃至図 5 は図 1 (a) の B-B' 線断面及び図 1 (b) の D-D' 線断面における工程断面図を、図 6 及び図 7 は図 1 (a) の C-C' 線断面における工程断面図をそれぞれ示している。

【0025】まず、シリコン基板 10 上に、例えば熱酸化法により、膜厚約 25 nm のパッド酸化膜 12 を形成する。次いで、パッド酸化膜 12 上に、例えば CVD 法により、膜厚約 170 nm のシリコン窒化膜 14 を堆積する。次いで、通常のリソグラフィ技術及びエッチング技術により、素子領域となる領域にのみシリコン窒化膜 14 が残存するようにシリコン窒化膜 14 をパターンニングする。シリコン窒化膜 14 のパターンは、一方向に延在する縞状のパターンとする（図 2 (a)）。

【0026】次いで、シリコン窒化膜 14 をマスクとしてシリコン基板を熱酸化し、膜厚約 200 nm の素子分離膜 16 を局部的に形成する（図 2 (b)）。次いで、シリコン窒化膜 14 及びパッド酸化膜 12 を除去した後、例えば熱酸化法により、膜厚約 10 nm のトンネルゲート絶縁膜 18 を形成する。次いで、全面に、例えば CVD 法により、膜厚約 100 nm のフローティングゲートとなるポリシリコン膜 20 を堆積する。

【0027】次いで、通常のリソグラフィ技術及びエッチング技術により、素子分離膜 16 により画定される素子領域上を覆う縞状のパターンにポリシリコン膜 20 をパターンニングする。この際、周辺回路領域のポリシリコン膜 20 は全て除去しておく（図 2 (c)）。次いで、全面に、例えば、膜厚 10 nm のボトム酸化膜と、膜厚約 10 nm のシリコン窒化膜と、膜厚約 4 nm のトップ酸化膜とを順次形成し、フローティングゲートとコントロールゲートとを容量結合するための ONO 膜 22 を形成する。

【0028】次いで、全面に、例えば CVD 法により、膜厚約 150 nm のポリシリコン膜 24 と、膜厚約 150 nm のタングステンシリサイド膜 26 と、膜厚約 230 nm のシリコン窒化酸化膜 28 とを順次堆積する（図 2 (d)）。ポリシリコン膜 24 及びタングステンシリサイド膜 26 は、ポリサイド構造のコントロールゲートを構成するための膜であり、シリコン窒化酸化膜 28 は、コントロールゲートをパターンニングする際の反射防止膜として機能する膜である。

【0029】ここで、本実施形態による半導体装置の製造方法は、反射防止膜として用いるシリコン窒化膜 28 が、素子分離膜 16 の膜厚よりも厚いことに特徴がある。このようにシリコン窒化膜 28 の膜厚を素子分離膜

16 の膜厚よりも厚くすることにより、後工程でソースラインを形成する際の素子分離膜 16 のエッチングにおいてコントロールゲートが露出することがなく、コントロールゲートが高抵抗化するのを防止することができる。また、こうすることにより、従来のようにマスク膜として用いるポリシリコン膜をコントロールゲート上に形成する必要はないので、コンタクトホール開口の際にシリコン基板がエッチングされるという不都合もない。

【0030】次いで、素子分離膜 16 のパターンと交差する方向に延在するコントロールゲートのパターンを有するレジスト（図示せず）をマスクとして、シリコン窒化酸化膜 28、タングステンシリサイド膜 26、ポリシリコン膜 24、ONO 膜 22、ポリシリコン膜 20 とを順次エッチングし、上面がシリコン窒化酸化膜 28 に覆われたポリサイド構造のコントロールゲート 32 と、コントロールゲートの下部に形成され、コントロールゲート 32 と容量結合されたフローティングゲート 30 とを形成する。

【0031】なお、コントロールゲート 32 及びフローティングゲート 30 を形成する過程では、ONO 膜 22 を除去した後、周辺回路領域をレジスト（図示せず）により覆い、ポリシリコン膜 20 のエッチングの際にシリコン基板 10 がエッチングされないようにしておく。このエッチングにより、周辺回路領域には、上面がシリコン窒化酸化膜 28 により覆われ、ポリシリコン膜 24 及びタングステンシリサイド膜 26 よりなるポリサイド構造のゲート電極 34 が形成される（図 3 (a)、図 6 (a)）。

【0032】次いで、コントロールゲート 32 及びフローティングゲート 30 を形成するためのレジスト及び周辺回路領域を覆うレジストをマスクとしてイオン注入を行い、コントロールゲート 32 の両側のシリコン基板 10 に、ソース拡散層 36 及びドレイン拡散層 38 を形成する（図 3 (b)）。次いで、全面に、例えば CVD 法によりシリコン酸化膜を堆積した後にエッチバックし、コントロールゲート 32、フローティングゲート 30、ゲート電極 34 の側壁にサイドウォール絶縁膜 40 を形成する。

【0033】次いで、通常のリソグラフィ技術により、ソース領域を露出し、ドレイン領域を覆うレジスト 42 を形成する（図 3 (c)、図 6 (b)）。次いで、レジスト 42 をマスクとして、ソース領域に露出する素子分離膜 16 をエッチングする。この際、コントロールゲート 32 上のシリコン窒化膜 28 の膜厚は素子分離膜 16 の膜厚よりも厚いので、このエッチングによって全てのシリコン窒化膜が除去されることはない。したがって、コントロールゲート 32 に与えるエッチングダメージを軽減することができる（図 4 (a)、図 6 (c)）。

【0034】なお、素子分離膜 16 をエッチングする際

には、図 6 (c) に示すように、素子分離膜 16 を完全に除去せずに、約 20 ~ 30 nm 程度残存させることが望ましい。このように素子分離膜 16 をソースライン上に残存させることにより、ソースラインを形成するためのイオン注入工程において注入イオンのチャネリングを抑止でき、また、ダメージ防止用酸化膜の形成工程を削減することができる。また、素子分離膜を残存させる膜厚は、このイオン注入工程において注入する不純物が素子分離膜 16 を突き抜けてシリコン基板 10 に十分導入される膜厚とする。

【0035】なお、本実施形態による半導体装置の製造方法では、サイドウォール絶縁膜 40 を形成した後にソース領域の素子分離膜 16 をエッチングしているが、これは次の理由による。すなわち、予めサイドウォール絶縁膜 40 を形成しておくことにより、メモリセルトランジスタの消去領域に相当するソース側のゲートエッジが保護され、素子分離膜 16 のエッチングの際のプラズマダメージを低減できるからである。これにより、消去特性の劣化を防止することができる。

【0036】次いで、ゲート電極 32、34 及び素子分離膜 16 をマスクとしてイオン注入を行い、複数のメモリセルトランジスタのソース領域を共通接続するソース拡散層 44 を形成する。例えば、砒素イオンを、加速エネルギーを 60 keV、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ としてイオン注入を行い、ソース拡散層 44 を形成する (図 4 (b)、図 7 (a))。

【0037】次いで、全面に、例えば CVD 法により、膜厚約 100 nm のシリコン酸化膜 46、膜厚約 900 nm の BPSG 膜 48 を堆積し、シリコン酸化膜 46 及び BPSG 膜 48 よりなる層間絶縁膜 50 を形成する (図 4 (c)、図 7 (b))。次いで、通常のリソグラフィ技術及びエッチング技術により、ドレイン領域に開口されるコンタクトホール 52、ゲート電極 34 上に開口されるコンタクトホール 54 等を形成する (図 5 (a))。この際、エッチングされる膜はすべてシリコン膜やタングステンシリサイド膜に対してエッチング選択性を確保しうるシリコン酸化膜系の膜であるので、このエッチング過程においてシリコン基板 10 やゲート電極 34 がエッチングされることはない。

【0038】次いで、全面に、例えばスパッタ法によりアルミ膜を堆積してパターニングし、コンタクトホール 52、54 を介して接続される配線層 56 を形成する (図 5 (b))。このように、本実施形態によれば、コントロールゲート上に素子分離膜の膜厚よりも厚い反射防止膜を形成しておき、ソースライン上の素子分離膜のエッチングの際にこの反射膜をマスクとして素子分離膜をエッチングするので、コントロールゲートに与えるエッチングダメージを低減することができる。

【0039】また、マスク膜としてシリコン膜を用いなので、ゲート電極上にコンタクトホールを形成する場

合であっても、シリコン基板がエッチングされることはない。したがって、コンタクトホール形成のエッチングプロセスを簡略化することができる。本発明は、上記実施形態に限らず種々の変形が可能である。

【0040】例えば、上記実施形態では反射防止膜として機能するシリコン窒化酸化膜 28 の膜厚を素子分離膜 16 の膜厚よりも厚くすることによりソースライン形成の際のエッチングによってコントロールゲート 32 がダメージを受けることを防止したが、本発明は、ソースライン上の素子分離膜 16 のエッチングの際にコントロールゲート 32 上に形成した絶縁膜がすべてエッチングされないように絶縁膜の膜厚を制御することに特徴がある。したがって、素子分離膜 16 と反射防止膜とのエッチングレートが異なる場合には、素子分離膜 16 のエッチング量及びエッチングレートの比から反射防止膜がエッチングされる膜厚を算出し、これ以上の膜厚の反射防止膜を形成すればよい。したがって、反射防止膜の膜厚は、必ずしも素子分離膜の膜厚よりも厚くする必要はない。

【0041】また、上記実施形態では、反射防止膜としてシリコン窒化酸化膜 28 を用いたが、必ずしもシリコン窒化酸化膜である必要はなく、例えば、シリコン窒化膜を適用することもできる。反射防止膜として機能する膜であり、且つ、シリコンに対してエッチング選択性を得ることができる膜であれば、反射防止膜として適用することができる。

【0042】また、上記実施形態では、反射防止膜の膜厚を厚くすることによりソースライン形成の際のエッチングによってコントロールゲート 32 がダメージを受けることを防止したが、本実施形態の反射防止膜に代えて、シリコンに対してエッチング選択性のある膜と、反射防止効果を有する膜とからなる積層膜によってコントロールゲート 32 上を覆ってもよい。こうすることにより、エッチング耐性と反射防止効果とを別途独立して制御することが可能となる。シリコンに対してエッチング選択性のある膜としては、例えばシリコン窒化膜やシリコン酸化膜などを適用することができる。また、反射防止膜としては、アモルファスカarbon膜などを適用することができる。

【0043】また、上記実施形態では、フラッシュ EEPROM を例に説明したが、フローティングゲート構造を有する他の不揮発性メモリデバイス、例えば、EEPROM や EPROM にも同様に適用することができる。

【0044】

【発明の効果】以上の通り、本発明によれば、半導体基板上に、第 1 の方向に延在する素子分離膜を形成する工程と、素子分離膜が形成されていない領域の半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜が形成された半導体基板上に、第 1 の方向と交わる第 2 の方向に延在して形成され、第 1 の絶縁膜を介してフローテ

イングゲートとコントロールゲートとが積層されてなり、その上面が素子分離膜の膜厚よりも厚い第2の絶縁膜で覆われた複数のゲート電極を形成する工程と、複数のゲート電極間の領域を交互に覆うレジスト膜を形成する工程と、レジスト膜及び第2の絶縁膜をマスクとして素子分離膜をエッチングする工程と、ゲート電極をマスクとして不純物を導入し、ゲート電極の両側の半導体基板に不純物拡散領域を形成する工程とにより半導体装置を製造するので、素子分離膜をエッチングする工程においてコントロールゲートに与えるエッチングダメージを低減することができる。

【0045】また、コントロールゲート上は絶縁膜のみによって覆われておりマスク膜としてシリコン膜を用いないので、ゲート電極上にコンタクトホールを形成する場合であっても、半導体基板が同時にエッチングされることはない。したがって、コンタクトホール形成のエッチングプロセスを簡略化することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による半導体装置の製造方法により形成される半導体装置の構造を説明する平面図である。

【図2】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図5】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図6】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図7】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図8】従来の半導体装置の製造方法を示す工程断面図（その1）である。

【図9】従来の半導体装置の製造方法を示す工程断面図（その2）である。

【図10】従来の半導体装置の製造方法を示す工程断面図（その3）である。

【図11】従来の半導体装置の製造方法を示す工程断面図（その4）である。

【図12】従来の半導体装置の製造方法を示す工程断面図（その5）である。

【図13】従来の半導体装置の製造方法を示す工程断面図（その6）である。

【図14】従来の半導体装置の製造方法における課題を説明する図である。

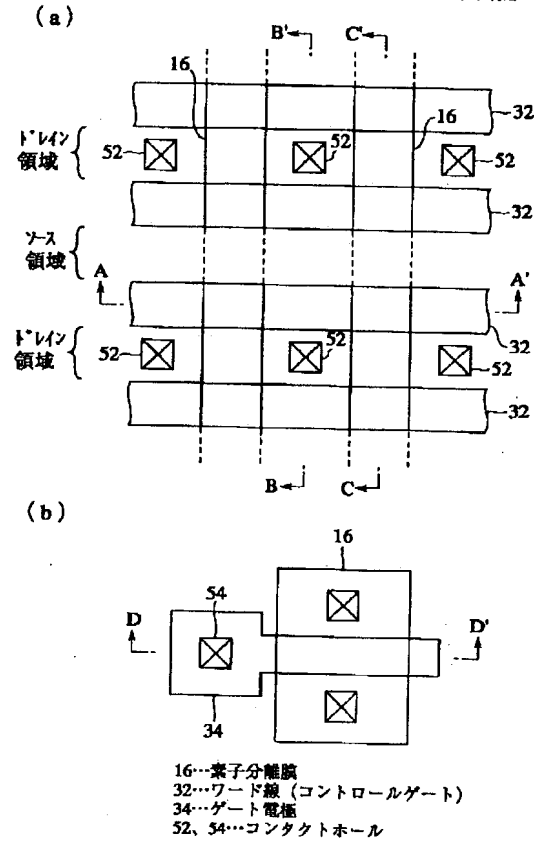
【符号の説明】

10…シリコン基板

12…パッド酸化膜
14…シリコン窒化膜
16…素子分離膜
18…トンネルゲート絶縁膜
20…ポリシリコン膜
22…ONO膜
24…ポリシリコン膜
26…タングステンシリサイド膜
28…シリコン窒化酸化膜
30…フローティングゲート
32…コントロールゲート
34…ゲート電極
36…ソース拡散層
38…ドレイン拡散層
40…サイドウォール絶縁膜
42…レジスト
44…ソース拡散層
46…シリコン酸化膜
48…BPSG膜
50…層間絶縁膜
52…コンタクトホール
54…コンタクトホール
56…配線層
100…シリコン基板
102…パッド酸化膜
104…シリコン窒化膜
106…素子分離膜
108…トンネルゲート絶縁膜
110…ポリシリコン膜
112…ONO膜
114…ポリシリコン膜
116…タングステンシリサイド膜
118…ポリシリコン膜
120…シリコン窒化酸化膜
122…フローティングゲート
124…コントロールゲート
126…ソース拡散層
128…ドレイン拡散層
130…サイドウォール絶縁膜
132…レジスト
134…シリコン酸化膜
136…ソース拡散層
138…シリコン酸化膜
140…BPSG膜
142…層間絶縁膜
144…コンタクトホール
146…配線層
148…ゲート電極
150…コンタクトホール

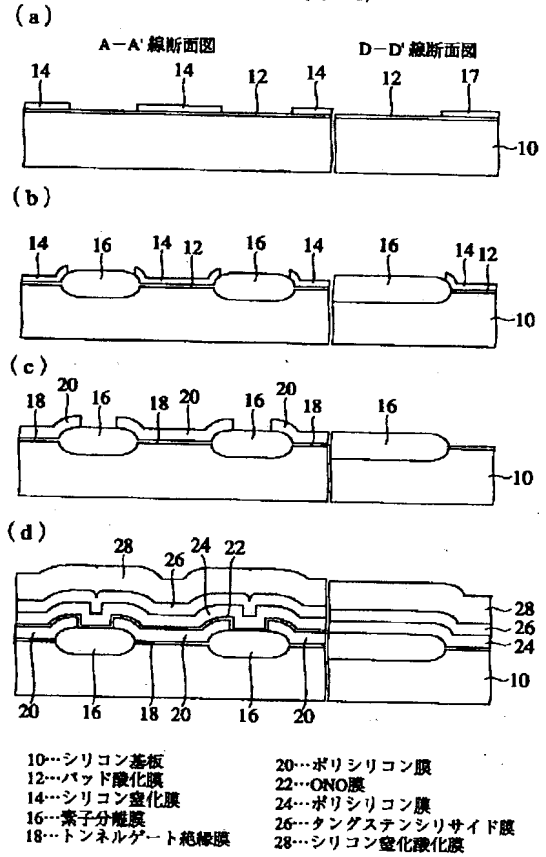
【図1】

本発明の一実施形態による半導体装置の製造方法により形成される半導体装置の構造を説明する平面図



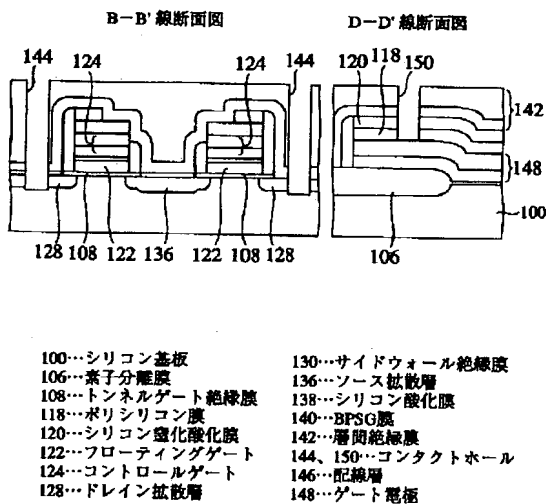
【図2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図 (その1)



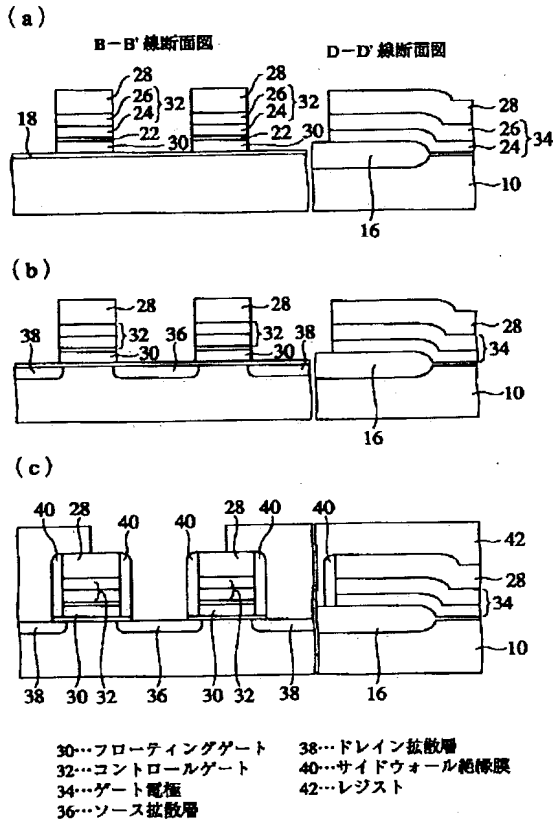
【図14】

従来の半導体装置の製造方法における課題を説明する図



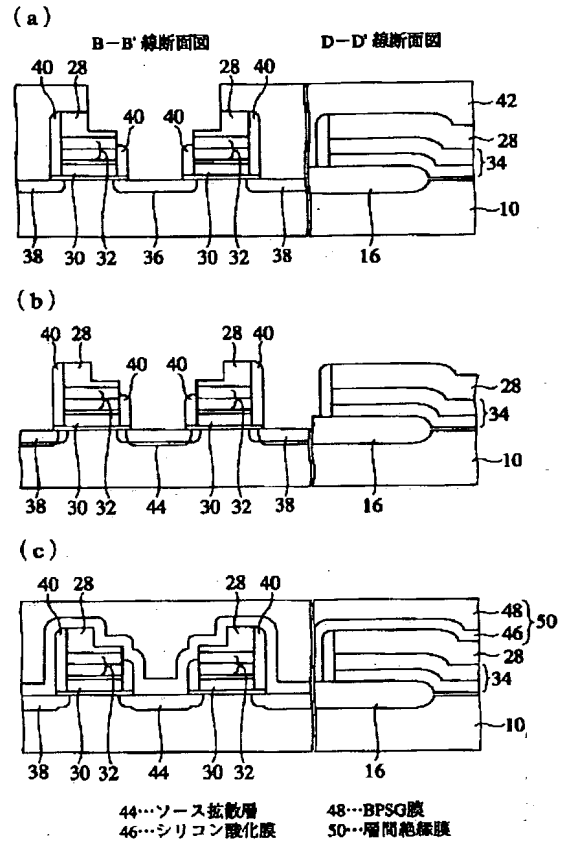
【図 3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その2）



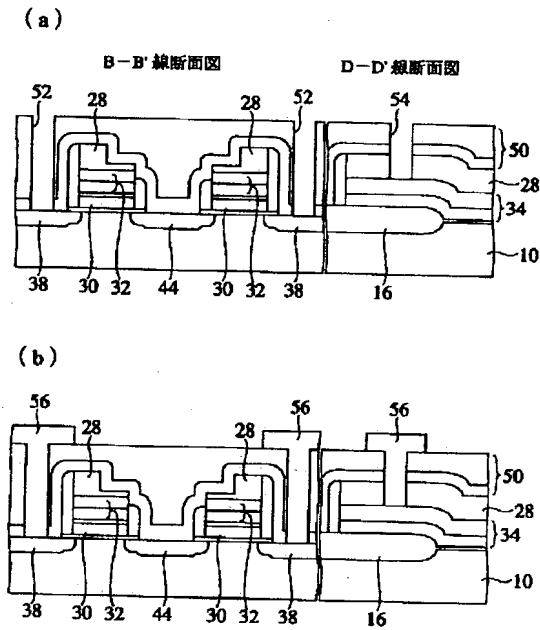
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その3）



【図5】

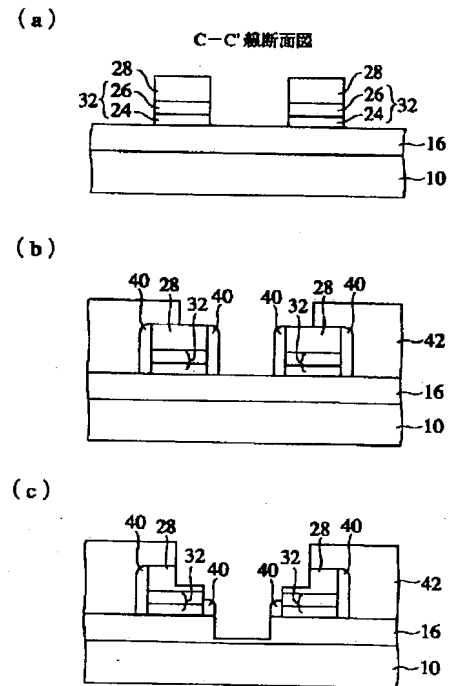
本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その4）



52…コンタクトホール
54…コンタクトホール
56…配線層

【図6】

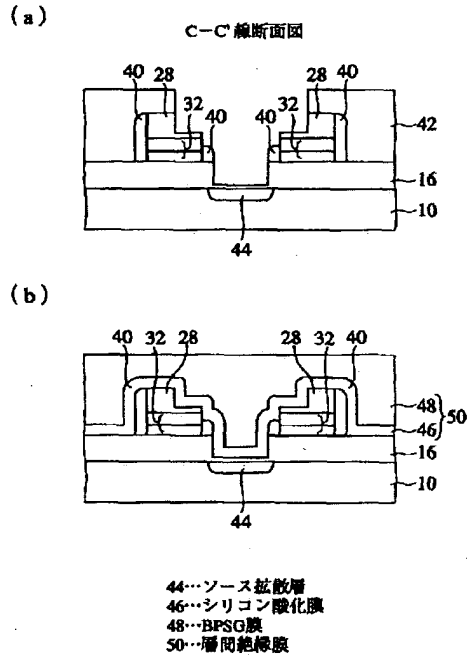
本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その5）



32…コントロールゲート
40…サイドウォール絶縁膜
42…レジスト

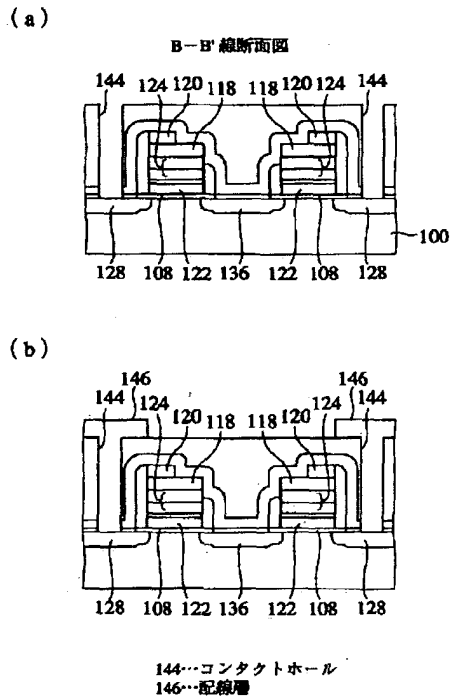
【図7】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その6）



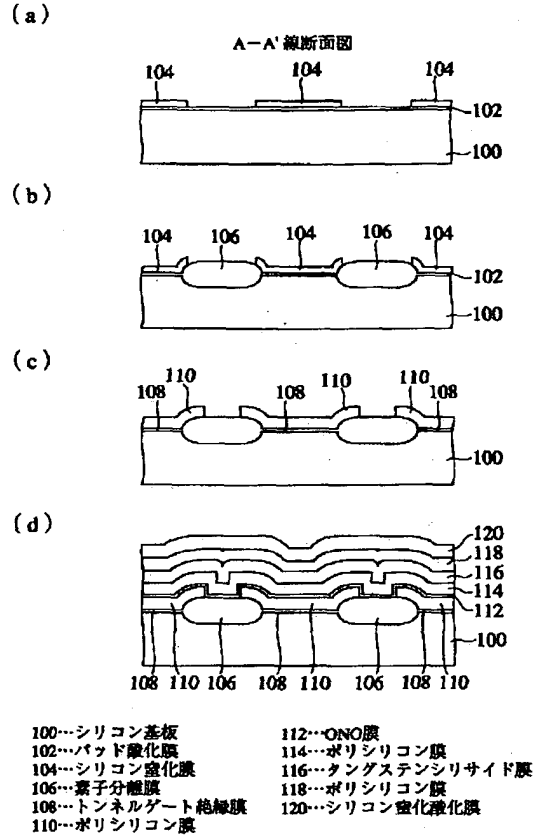
【図11】

従来の半導体装置の製造方法を示す工程断面図（その4）



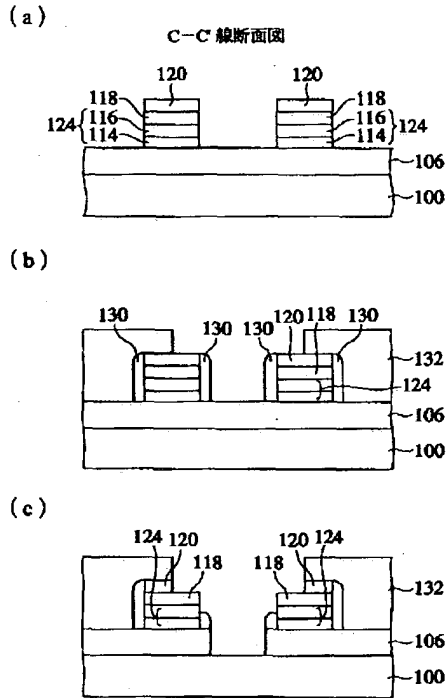
【図8】

従来の半導体装置の製造方法を示す工程断面図（その1）



【図12】

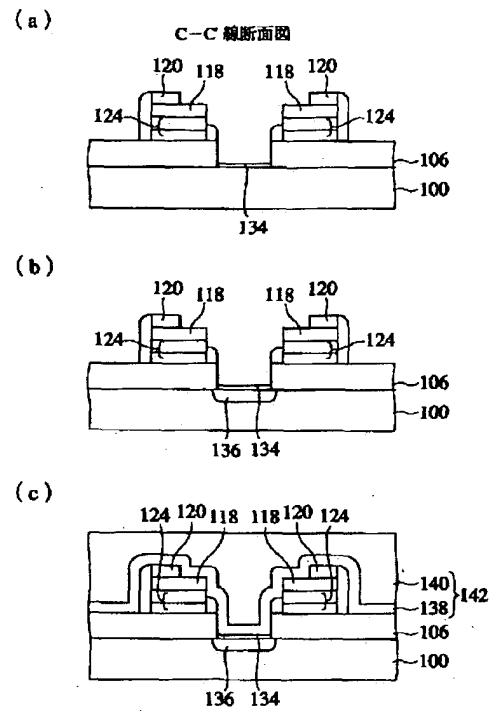
従来の半導体装置の製造方法を示す工程断面図 (その5)



124…コントロールゲート
130…サイドウォール絶縁膜
132…レジスト

【図13】

従来の半導体装置の製造方法を示す工程断面図 (その6)



134…シリコン酸化膜
136…ソース拡散層
138…シリコン酸化膜
140…BPSG膜
142…層間絶縁膜

フロントページの続き

Fターム(参考) 5F001 AA25 AA32 AA43 AA60 AB02
AB08 AC01 AD12 AD19 AD62
AD93 AD94 AE08 AG07 AG28
5F083 EP55 EP56 EP77 ER22 GA02
GA27 JA04 JA32 JA35 JA36
JA53 LA16 LA20 NA02 PR12
PR21 PR22 PR36 PR43 PR53

